

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-204066

(43)Date of publication of application : 18.07.2003

(51)Int.Cl.

H01L 29/78

(21)Application number : 2002-001784

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 08.01.2002

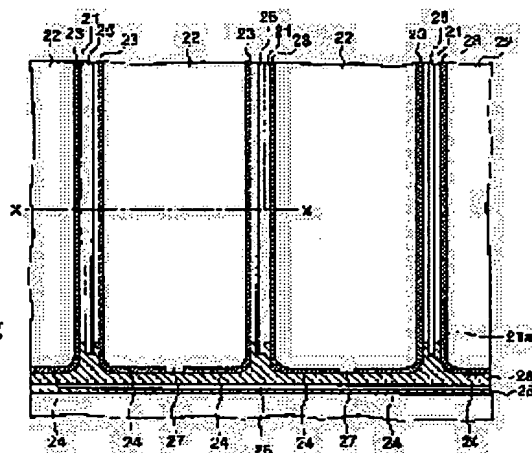
(72)Inventor : ONOZAWA YUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the gate-collector capacity of a trench gate type semiconductor device without compromising the carrier storing effect and, in addition, to raise the collector-emitter reverse blocking voltage of the device.

SOLUTION: In the semiconductor device having a trench gate structure, channel regions and carrier storing regions 22 are selectively formed in the surface layer of a drift layer and the regions are separated from each other by trenches 23 and 24. Notches 27 are partially provided in the trenches 23 and 24 so that the notches 27 may not become through holes and the carrier storing regions 22 are electrically connected to an emitter electrode through the notches 27.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-204066

(P2003-204066A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H 0 1 L 29/78	6 5 5	H 0 1 L 29/78	6 5 5 A
	6 5 3		6 5 3 A
	6 5 5		6 5 5 G

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2002-1784 (P2002-1784)

(22) 出願日 平成14年1月8日 (2002.1.8)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 小野沢 勇一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100104190

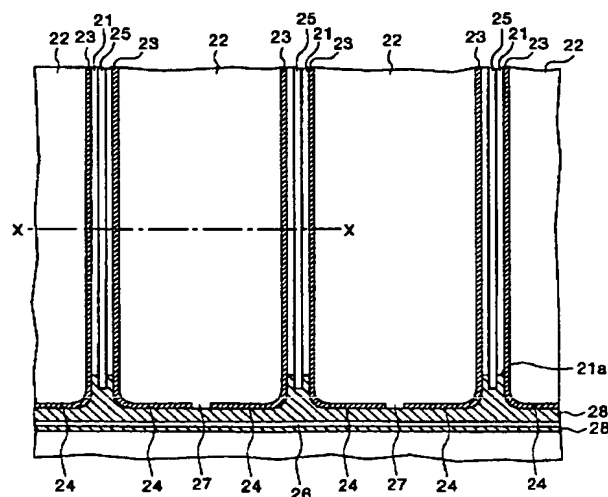
弁理士 酒井 昭徳

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 トレンチゲート型半導体装置において、キャリアの蓄積効果を損なうことなく、ゲート-コレクタ間容量を小さくし、かつコレクター-エミッタ間の逆方向阻止電圧を高くすること。

【解決手段】 トレンチゲート構造を有する半導体装置において、ドリフト層の表面層に選択的にチャネル領域とキャリア蓄積領域22を形成し、チャネル領域とキャリア蓄積領域22とをトレンチ23、24により仕切る。そのトレンチ23、24の一部に、ホールが抜けないう程度の切れ目27を設け、その切れ目27を介して、キャリア蓄積領域22をエミッタ電極に電氣的に接続する。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の表面部分に選択的に形成された
第 2 導電型の第 2 の半導体領域と、
前記第 1 の半導体領域の表面部分に選択的に形成された
第 2 導電型の第 3 の半導体領域と、
前記第 2 の半導体領域の表面部分に選択的に形成された
第 1 導電型の第 4 の半導体領域と、
前記第 1 の半導体領域の裏面に形成された第 2 導電型の
第 5 の半導体領域と、
前記第 4 の半導体領域の表面から前記第 2 の半導体領域
を貫通して前記第 1 の半導体領域に達し、かつ前記第 2
の半導体領域と前記第 3 の半導体領域とを仕切る第 1 の
トレンチと、
前記第 1 のトレンチ内に絶縁膜を介して設けられた第 1
の電極と、
基板表面から前記第 1 の半導体領域に達し、かつ前記第
1 のトレンチとともに前記第 3 の半導体領域を囲む第 2
のトレンチと、
前記第 2 のトレンチに設けられた、キャリアの通過が妨
げられる程度の切れ目と、
前記第 2 の半導体領域および前記第 4 の半導体領域に共
通に接触した第 2 の電極と、
前記第 5 の半導体領域に接触した第 3 の電極と、
を具備し、
前記第 3 の半導体領域は前記切れ目を介して前記第 2 の
電極に電氣的に接続されることを特徴とする半導体装
置。

【請求項 2】 前記第 2 のトレンチは前記第 1 のトレン
チとつながっており、
前記第 3 の半導体領域は、当該第 3 の半導体領域の両側
の前記第 2 の半導体領域との間をそれぞれ仕切る前記第
1 のトレンチと、当該各第 1 のトレンチから前記切れ目
まで互いに近づくように伸びる前記第 2 のトレンチによ
り囲まれており、
前記第 2 のトレンチの外側に前記第 2 の電極に対するコ
ンタクト領域が設けられていることを特徴とする請求項
1 に記載の半導体装置。

【請求項 3】 前記第 2 のトレンチは、前記切れ目に
て、当該第 2 のトレンチがつながる前記第 1 のトレン
チ側へ折り返され、かつ当該第 1 のトレンチとともに前記
第 2 の半導体領域を挟むもう一つの第 1 のトレンチから
同様にして伸びる別の第 2 のトレンチに接続されている
ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 2 のトレンチは、前記第 2 の半導
体領域を挟む一対の前記第 1 のトレンチを接続する部分
と、当該接続部分の外側に隙間を介して設けられ、かつ
前記第 3 の半導体領域に対する前記切れ目から当該切れ
目の隣りの前記第 3 の半導体領域に対する切れ目まで伸
びる部分とからなり、

2

前記第 3 の半導体領域は、当該第 3 の半導体領域の両側
の前記第 2 の半導体領域との間をそれぞれ仕切る前記第
1 のトレンチと、前記第 1 のトレンチに接続された部分
と、当該接続部分の外側で切れ目から切れ目まで伸びる
部分とにより囲まれており、
前記第 2 のトレンチの、切れ目から切れ目まで伸びる部
分の外側に前記第 2 の電極に対するコンタクト領域が設
けられていることを特徴とする請求項 1 に記載の半導体
装置。

10 【請求項 5】 前記第 2 のトレンチの、切れ目から切れ
目まで伸びる部分は閉じた形状となっており、当該切れ
目から切れ目まで伸びる部分中にも前記第 2 の電極に対
するコンタクト領域が設けられていることを特徴とする
請求項 4 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関
し、特にトレンチ内に絶縁膜を介してゲート電極が埋め
込まれたトレンチゲート構造を有する IGBT（絶縁ゲ
ート型バイポーラトランジスタ）などの半導体装置に関
する。

【0002】

【従来の技術】電力変換装置の低消費電力化が進む中、
その装置において中心的な役割を果たすパワーデバイス
（スイッチングデバイス）の低消費電力化が期待されて
いる。ところで、近年、電力変換装置に用いられるパワ
ー MOSFET や IGBT、またサイリスタやダイオー
ドなどにおいて、チャネル密度の飛躍的な向上という利
点を有するトレンチゲート構造が実用化されている。特
に、IGBT などのバイポーラデバイスでは、トレンチ
ゲート構造の採用によりキャリアの蓄積効果が向上する
ため、チャネル抵抗成分の寄与が小さい高耐圧デバイス
において低損失化を図ることができる。

【0003】図 5 は、一般的なトレンチゲート構造の I
GBT の構成を示す断面図である。図 5 に示すように、
ドリフト層 11 の表面層に、エミッタ電極 16 に接する
チャネル領域 12a およびエミッタ電極 16 に接しない
チャネル領域 12b がトレンチ 10 により分離されて形
成されている。チャネル領域 12a の高濃度領域 12c
はエミッタ電極 16 とオーミックコンタクトをとるため
に形成されている。エミッタ領域 13 は、エミッタ電極
16 に接するチャネル領域 12a の表面層に選択的に形
成されている。エミッタ電極 16 はこのエミッタ領域 13
にも接する。エミッタ電極 16 とこれに接しないチャ
ネル領域 12b との間には絶縁膜 17 が設けられてい
る。

【0004】トレンチ 10 はエミッタ領域 13 の表面か
らチャネル領域 12a、12b の層を貫通してドリフト
層 11 に達する。ゲート酸化膜 15 はトレンチ 10 の内
面に沿って形成されており、その中にはポリシリコンよ

50

りなるゲート電極14が設けられている。ドリフト層11の裏面にはコレクタ層18およびコレクタ電極19が形成されている。あるいは、ドリフト層11とコレクタ層18との間にバッファ層が設けられる場合もある。図5に示す構成のIGBTでは、エミッタ電極16に接するチャンネル領域12aを小さくすると、コレクタ層18から注入されたホールはエミッタ電極16へ抜け難くなる。そのため、エミッタ電極16に接しないチャンネル領域12bがキャリア蓄積領域となってドリフト層11にキャリアが蓄積されることになり、ドリフト層11における電圧降下が小さくなる。

【0005】

【発明が解決しようとする課題】しかしながら、エミッタ電極16に接しないチャンネル領域12bとゲート電極14との間の容量は全てゲート-コレクタ間容量（ミラー容量）となるため、ターンオンロスが大きいという問題点がある。また、コレクターエミッタ間に逆バイアスを加えた場合、この領域の電位がエミッタ電極16の電位よりも高くなるため、コレクターエミッタ間の逆方向阻止電圧が低いという問題点がある。

【0006】本発明は、上記問題点を鑑みてなされたものであって、キャリアの蓄積効果を損なうことなく、ゲート-コレクタ間容量を小さくすることができ、かつコレクターエミッタ間の逆方向阻止電圧を高くすることができるトレンチゲート型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明にかかる半導体装置は、トレンチゲート構造を有し、チャンネル領域とキャリア蓄積領域とをトレンチにより仕切り、そのトレンチ部に、ホールが抜けない程度の切れ目を設け、その切れ目を介して、キャリア蓄積領域をエミッタ電極に電氣的に接続した構成のものである。この発明によれば、チャンネル領域とキャリア蓄積領域とを仕切るトレンチに設けられた、ホールが抜けない程度の切れ目を介して、キャリア蓄積領域がエミッタ電極に電氣的に接続される。

【0008】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明するが、ここでは本発明をトレンチゲート構造のIGBTに適用した例を挙げて説明する。図1は、本発明にかかるトレンチゲート型IGBTのトレンチ端部におけるレイアウト構造の一例の要部を示す平面図である。このIGBTの図1のX-Xにおける縦断面構造は図5に示す構成と同じであるため、その説明を省略する（図2～図4に示す例でも同じ）。ここで、各平面図は、たとえば図5に示す縦断面構造においてY-Yで示すように、チャンネル領域（図5、符号12a、符号12b）の表面およびトレンチ（図5、符号10）の上端面よりなる面を表したもので

ある。

【0009】図1において、符号21は、図示しないP型の第2の半導体領域であるチャンネル領域の表面部分に選択的に形成されたN型の第4の半導体領域であるエミッタ領域であり、21aはエミッタ領域21の終端である。符号22は、P型の第3の半導体領域であるキャリア蓄積領域である。また、符号23は第1のトレンチであり、符号24は第2のトレンチである。チャンネル領域（図示せず）およびキャリア蓄積領域22は、図には現われていないN型の第1の半導体領域であるドリフト層の表面部分に選択的に形成されており（図5参照）、第1のトレンチ23および第2のトレンチ24により仕切られている。符号25および26は図には現われていない第2の電極であるエミッタ電極に対するコンタクト領域である。コンタクト領域25および26の下にはオーミックコンタクトのための高濃度領域28が設けられており、斜線で一部を示した。符号25の下の高濃度領域28については、図5と同じであるので図1～図4では省略してある。

【0010】図1に示すように、第1のトレンチ23はチャンネル領域内のコンタクト領域25およびエミッタ領域21に沿って伸びており、そのコンタクト領域25の終端付近で第2のトレンチ24に接続されている。ここで、チャンネル領域21内のコンタクト領域25は、たとえば図5に示す縦断面構造においてN型の第4の半導体領域であるエミッタ領域（図5、符号13）間の領域である。第2のトレンチ24は、キャリア蓄積領域22を挟む両側のチャンネル領域21から互いに相手側に向かってトレンチの切れ目27まで伸びている。この切れ目の長さは、ドリフト層の裏面に設けられた図には現われていないP型の第5の半導体領域であるコレクタ層から注入されたホールがエミッタ電極へ抜け難くなる程度、たとえば5 μ m以下である。

【0011】第1および第2のトレンチ23、24が上述したように伸びていることにより、キャリア蓄積領域22はその両側にある第1のトレンチ23と、それら第1のトレンチ23から伸びる第2のトレンチ24により囲まれている。ただし、図1では、図面上半部にある、図面下半部と同様のストライプの端部構造が省略されている（図2～図4においても同じ）。第2のトレンチ24の外側には、エミッタ電極に対する別のコンタクト領域26がある。キャリア蓄積領域22はトレンチの切れ目27およびこのコンタクト領域26を介してエミッタ電極に電氣的に接続される。

【0012】上述した実施の形態によれば、キャリア蓄積領域22は第1および第2のトレンチ23、24により囲まれ、かつホールが抜けない程度のトレンチの切れ目27を介してエミッタ電極に電氣的に接続されるため、キャリアの蓄積効果を損なわずに、ゲート-コレクタ間容量が小さく、かつコレクターエミッタ間の逆方向

5

阻止電圧が高いトレンチゲート型IGBTが得られる。

【0013】以上において本発明は、上述した実施の形態に限らず種々変更可能である。たとえば、図2に示すレイアウト構造のように、第2のトレンチ34が第1のトレンチ23から切れ目27まで伸び、そこで元の第1のトレンチ側へ折り返されており、この元の第1のトレンチ23との間にチャンネル領域を挟む別の第1のトレンチ23から同様に伸びる別の第2のトレンチ34に接続された構成となってもよい。

【0014】また、図3に示すレイアウト構造のように、第2のトレンチとして、チャンネル領域を挟む一対の第1のトレンチ23をその終端部分で互いに接続する第2のトレンチ44aと、その接続部分の第2のトレンチ44aの外側に隙間を介して設けられ、かつあるキャリア蓄積領域22におけるトレンチの切れ目27からその隣のキャリア蓄積領域22におけるトレンチの切れ目27まで伸びる第2のトレンチ44bが設けられた構成となってもよい。

【0015】さらには、図4に示すレイアウト構造でもよい。図4に示す構造は、図3に示す構造において、トレンチの切れ目27から隣の切れ目27まで伸びる第2のトレンチ44bの代わりに、トレンチの切れ目27から隣の切れ目27まで伸び、かつエミッタ電極に対する第3のコンタクト領域を囲むように閉じた形状の第2のトレンチ54bを設けたものである。図2～図4に示すいずれの例でも、キャリアの蓄積効果を損なわずに、ゲートコレクタ間容量が小さく、かつコレクタエミッタ間の逆方向阻止電圧が高いトレンチゲート型IGBTが得られる。

【0016】また、上述した実施の形態では第1導電型をN型とし、第2導電型をP型としたが、その逆でもよい。

*

6

*【0017】

【発明の効果】本発明によれば、チャンネル領域とキャリア蓄積領域とを仕切るトレンチに設けられた、ホールが抜けない程度の切れ目を介して、キャリア蓄積領域がエミッタ電極に電氣的に接続されるため、キャリアの蓄積効果を損なわずに、ゲートコレクタ間容量が小さく、かつコレクタエミッタ間の逆方向阻止電圧が高いトレンチゲート型半導体装置が得られる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置のトレンチ端部におけるレイアウト構造の一例の要部を示す平面図である。

【図2】本発明にかかる半導体装置のトレンチ端部におけるレイアウト構造の要部の変形例を示す平面図である。

【図3】本発明にかかる半導体装置のトレンチ端部におけるレイアウト構造の要部の変形例を示す平面図である。

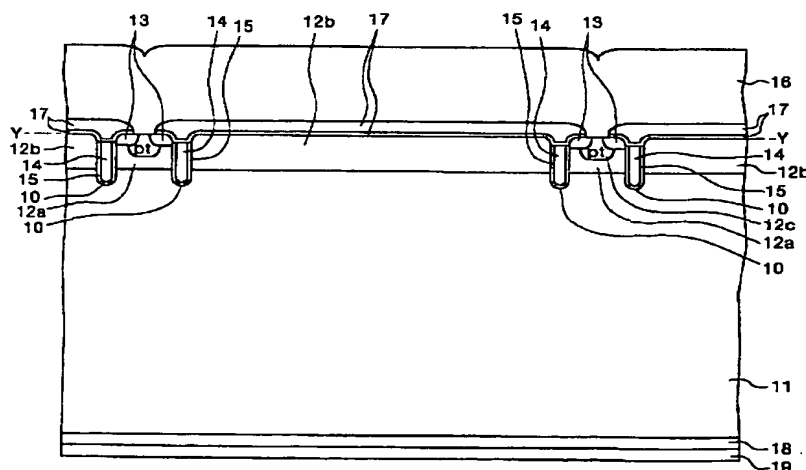
【図4】本発明にかかる半導体装置のトレンチ端部におけるレイアウト構造の要部の変形例を示す平面図である。

【図5】一般的なトレンチゲート構造のIGBTの構成を示す断面図である。

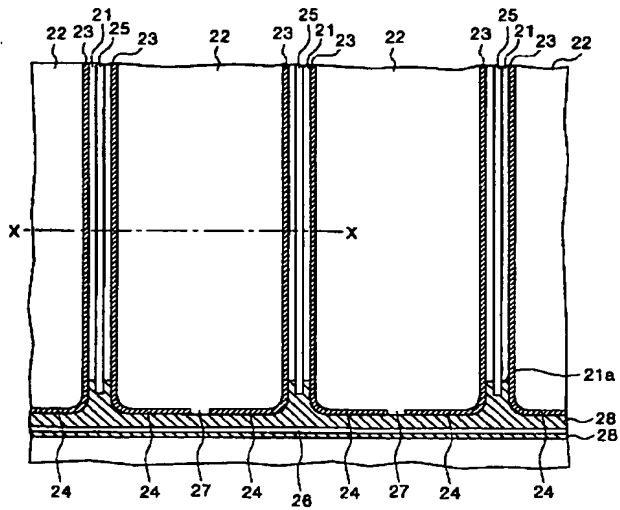
【符号の説明】

- | | |
|-----------------------|--------------------|
| 21 | 第4の半導体領域（エミッタ領域） |
| 22 | 第3の半導体領域（キャリア蓄積領域） |
| 23 | 第1のトレンチ |
| 24, 34, 44a, 44b, 54b | 第2のトレンチ |
| 26 | エミッタ電極に対するコンタクト領域 |
| 27 | トレンチの切れ目 |
| 28 | 高濃度領域 |

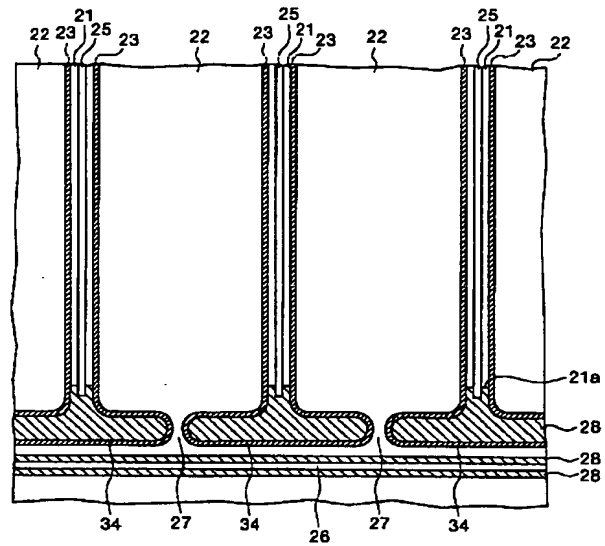
【図5】



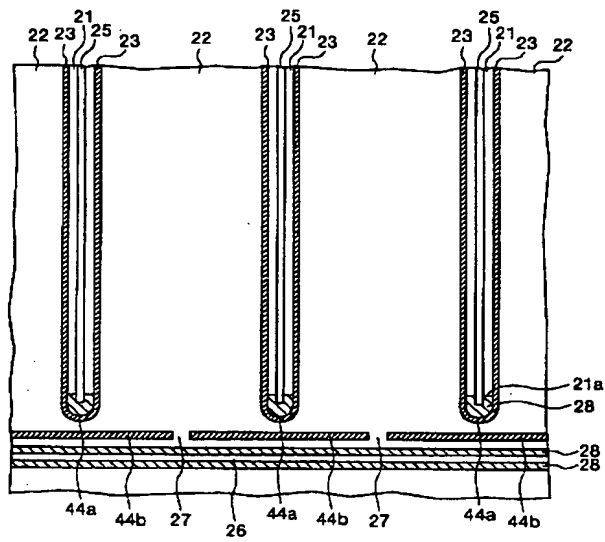
【図1】



【図2】



【図3】



【図4】

